

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Won-Cheol Jeong
Serial No.: To Be Assigned
Filed: Concurrently Herewith
For: MAGNETIC RANDOM ACCESS MEMORY (MRAM) DEVICES HAVING
NONPARALLEL MAIN AND REFERENCE MAGNETIC RESISTORS

October 20, 2003

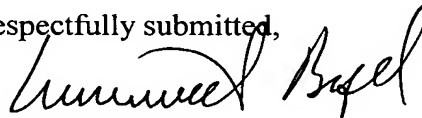
Mail Stop Patent Applications
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 U.S.C. § 119, enclosed is a certified copy of
Korean priority Application No. 10-2002-0078524, filed December 10, 2002.

Respectfully submitted,



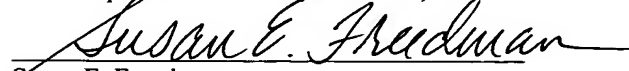
Mitchell S. Bigel
Registration No. 29,614

Myers Bigel Sibley & Sajovec
PO Box 37428
Raleigh NC 27627
Tel (919) 854-1400
Fax (919) 854-1401
Customer No. 20792

CERTIFICATE OF EXPRESS MAILING

Express Mail Label No. EV 353592731 US
Date of Deposit: October 20, 2003

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express
Mail Post Office to Addressee" service under 37 CFR § 1.10 on the date indicated above and is addressed to:
Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450



Susan E. Freedman
Date of Signature: October 20, 2003

대한민국 특허청

KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0078524
Application Number

출원년월일 : 2002년 12월 10일
Date of Application DEC 10, 2002

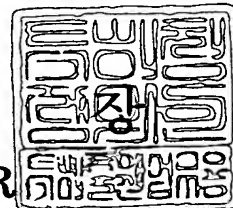
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 03 05 일
년 월 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002. 12. 10
【발명의 명칭】	기준 셀들을 갖는 자기 램 소자 및 그 구조체
【발명의 영문명칭】	Magnetic random access memory device having reference cells and structure thereof
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박상수
【대리인코드】	9-1998-000642-5
【포괄위임등록번호】	2000-054081-9
【발명자】	
【성명의 국문표기】	정원철
【성명의 영문표기】	JEONG, WON CHEOL
【주민등록번호】	731212-1702014
【우편번호】	156-020
【주소】	서울특별시 동작구 대방동 44-144, 26/5
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박상수 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	22 면 22,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	25 항 909,000 원
【합계】	960,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

자기 램 소자 및 그 구조체를 제공한다. 상기 자기 램 소자는 메인 셀 어레이 부(main cell array portion) 및 기준 셀 어레이 부(reference cell array portion)를 갖는 셀 어레이 부를 구비한다. 상기 메인 셀 어레이 부는 행들 및 열들을 따라 2차원적으로 배열된 복수개의 메인 셀들을 갖는다. 상기 메인 셀들의 각각은 직렬 접속된 하나의 메인 액세스 트랜지스터 및 하나의 메인 자기 저항체로 구성된다. 상기 기준 셀 어레이 부는 상기 열들과 평행한 방향을 따라 1차원적으로 배열된 복수개의 기준 셀들을 갖는다. 상기 기준 셀들의 각각은 직렬 접속된 하나의 기준 액세스 트랜지스터 및 하나의 기준 자기 저항체로 구성된다. 상기 메인 자기 저항체들 및 상기 기준 자기 저항체들은 반도체기판 상에 배치된다. 상기 메인 자기 저항체들은 평면적으로 보여질 때 일 방향을 따라 배열된다. 이에 반하여, 상기 기준 자기 저항체들은 상기 일 방향과 소정의 각도로 교차하도록 배열된다. 따라서, 상기 기준 자기 저항체들의 각각은 항상 상기 메인 자기 저항체들의 최대 저항값 및 최소 저항값 사이의 값을 갖는다.

【대표도】

도 3

【명세서】**【발명의 명칭】**

기준 셀들을 갖는 자기 램 소자 및 그 구조체{Magnetic random access memory device having reference cells and structure thereof}

【도면의 간단한 설명】

도 1은 종래의 자기램 소자의 셀 어레이 부(cell array portion)의 일 부분을 보여주는 등가회로도이다.

도 2는 도 1에 보여진 기준 셀의 동작을 설명하기 위한 그래프이다.

도 3은 본 발명의 바람직한 실시예에 따른 자기램 소자 구조체의 셀 어레이 영역의 일 부분을 보여주는 평면도이다.

도 4 내지 도 6은 도 3의 I-I에 따라 본 발명의 바람직한 실시예에 따른 자기램 소자 구조체의 제조방법을 설명하기 위한 단면도들이다.

도 7은 도 3의 자기 램 소자 구조체와 그에 접속된 감지 증폭기를 보여주는 등가회로도이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<6> 본 발명은 비휘발성 기억소자 및 그 구조체에 관한 것으로, 특히 기준 셀들을 갖는 자기램 소자 및 그 구조체에 관한 것이다.

- <7> 반도체 기억소자들은 휘발성 기억소자들 및 비휘발성 기억소자들로 분류될 수 있다. 상기 휘발성 기억소자들은 전원이 공급되지 않는 경우에 전 상태의 데이터들(previous data)이 소멸되는 데 반하여, 상기 비휘발성 기억소자들은 전원이 공급되지 않을지라도 전 상태의 데이터들을 간직한다. 따라서, 상기 비휘발성 기억소자들은 이동통신 단말기들 및 컴퓨터 메모리 카드들 등에 널리 사용된다.
- <8> 상기 휘발성 기억소자들은 디램들 및 에스램들을 포함하고, 상기 비휘발성 기억소자들은 플래쉬(flash) 기억소자들을 포함한다. 상기 디램들은 상기 에스램들에 비하여 높은 집적도를 보이는 반면에, 높은 전력소모를 발생시키는 리프레쉬 동작이 요구된다. 또한, 상기 플래쉬 기억소자들은 프로그램 전압 및 소거 전압을 낮추기 위하여 높은 셀 커플링 비율을 갖는 고성능 셀들을 필요로 한다. 그러나, 상기 고성능 플래쉬 기억셀들은 복잡한 제조공정을 요구한다. 이에 더하여, 상기 플래쉬 기억소자는 일반적으로 터널 산화막 및 게이트 층간절연막을 채택하는 적층구조의 셀들을 구비한다. 이에 따라, 상기 터널산화막 및 게이트 층간절연막의 신뢰성은 상기 플래쉬 기억소자의 수명과 직접적으로 관련이 있다. 다시 말해서, 상기 플래쉬 기억소자의 신뢰성을 향상시키기가 어렵다.
- <9> 최근에, 비휘발성 특성은 물론 낮은 전력소모를 보이는 새로운 기억소자로서 자기 램이 제안된 바 있다. 예를 들면, 쓰기 동작시 낮은 전력소모를 얻기 위하여, 새로운 구조의 디지털 라인이 IEEE가 주관하는 2002년 VLSI 회로 심포지움(IEEE Symposium on VLSI Circuits Digest of Technical Papers, pp. 158-161 (2002))에서 "구리 배선들과 함께 하나의 트랜지스터 및 하나의 자기 터널 접합으로 구성되도록 집적된 비트 셀을 기초로 하는 저전력 1메가비트 자기 램(A low power

1Mbit MRAM based on 1T1MTJ bit cell integrated with Copper Interconnects)"라는 제목으로 엠 덜람(M. Durlam) 등에 의한 논문(article)에 기재된 바와 같이 소개되었다. 이에 더하여, 상기 논문은 읽기 동작시 빠른 액세스 타임을 얻기 위하여 새로운 기준 전류 발생기(novel reference current generator), 즉 새로운 기준 셀을 소개하고 있다.

<10> 도 1은 엠 덜람 등에 의해 개시된 기준 셀을 포함하는 셀 어레이 부의 일 부분을 보여주는 등가회로도이고, 도 2는 도 1에 보여진 상기 기준 셀의 이상적인 동작 및 실제의 동작을 설명하기 위한 그래프이다. 도 2에 있어서, 가로축은 읽기 동작시 기준 비트라인 및 선택된 비트라인에 인가되는 전압(V)을 나타내고, 세로축은 상기 기준 비트라인 및 상기 선택된 비트라인에 접속된 자기 저항체들의 저항값들(resistance values; R)을 나타낸다.

<11> 도 1 및 도 2를 참조하면, 상기 셀 어레이 부는 열들(columns)을 따라 배열된 복수개의 평행한 비트라인들과 행들(rows)을 따라 배열된 복수개의 평행한 워드라인들을(WLi, WLj) 포함한다. 상기 비트라인들은 하나의 기준 비트라인(a single reference bit line; BLr) 및 상기 기준 비트라인(BLr)의 양 옆에 배열된 메인 비트라인들(main bit lines; BLi, BLj, BLk and BLl)로 구성된다. 도 1에 보여진 바와 같이, 서로 이웃하는 상기 한 쌍의 워드라인들(WLi, WLj)은 하나의 기준 셀(reference cell; Cr)에 접속된다. 상기 하나의 기준 셀(the single reference cell; Cr)은 상기 한 쌍의 워드라인들(WLi, WLj)에 접속된 자기 램 셀들 내에 저장된 데이터들과 비교되는 기준 정보(reference data)를 발생시킨다.

<12> 상기 워드라인들(WLi, WLj) 및 상기 메인 비트라인들(BLi, BLj, BLk, BLl)이 교차하는 지점들에 복수개의 메인 셀들이 배치되고, 상기 한 쌍의 워드라인들(WLi, WLj) 및

상기 하나의 기준 비트라인(BLr)이 교차하는 지점에 상기 기준 셀(Cr)이 배치된다. 상기 메인 셀들의 각각은 하나의 액세스 트랜지스터(TA)와 하나의 메인 자기 저항체(main magnetic resistor; MR)로 구성된다. 상기 액세스 트랜지스터들(TA)의 게이트 전극들은 상기 워드라인들(WLi, WLj)과 전기적으로 접속된다. 또한, 상기 각 열들 내에서 서로 이웃하는 상기 한 쌍의 액세스 트랜지스터들(TA)의 소오스 영역들은 상기 워드라인들(WLi, WLj) 사이에 배치된 하나의 공통 소오스 라인(CS)에 접속된다. 상기 액세스 트랜지스터(TA)의 드레인 영역은 상기 메인 자기 저항체(MR)의 일 단에 접속되고, 상기 메인 자기 저항체(MR)의 타 단은 상기 메인 비트라인들중 어느 하나에 접속된다.

<13> 상기 기준 셀(Cr)은 한 쌍의 기준 액세스 트랜지스터들(TAr)을 포함한다. 상기 한 쌍의 기준 액세스 트랜지스터들(TAr)의 소오스 영역들은 상기 공통 소오스 라인(CS)에 전기적으로 접속된다. 또한, 상기 한 쌍의 기준 액세스 트랜지스터들(TAr)의 게이트 전극들은 각각 상기 한 쌍의 워드라인들(WLi, WLj)과 전기적으로 접속된다. 상기 한 쌍의 기준 액세스 트랜지스터들(TAr)의 드레인 영역들은 서로 연결되어 항상 동일한 전위(potential)를 갖는다. 이에 더하여, 상기 각 기준 액세스 트랜지스터들(TAr)의 드레인 영역 및 상기 기준 비트라인(BLr) 사이에는 직렬 연결된 제1 자기 저항체(MR1) 및 제2 자기 저항체(MR2)가 개재된다. 결과적으로, 상기 기준 셀(Cr)은 상기 한 쌍의 기준 액세스 트랜지스터들(TAr), 한 쌍의 제1 자기 저항체들(MR1) 및 한 쌍의 제2 자기 저항체들(MR2)로 구성된다.

<14> 상기 기준 비트라인(BLr)은 감지 증폭기(SA)의 제1 입력단(first input port)에 접속되고, 상기 메인 비트라인들(BLi, BLj, BLk, BLl)은 상기 감지 증폭기(SA)의 제2 입력 단자에 접속된다. 이에 따라, 상기 감지 증폭기(SA)는 상기 복수개의 메인 셀들중 선택

된 하나의 메인 셀에 접속된 메인 비트라인을 통하여 흐르는 전류 및 상기 기준 비트라인(BLr)을 통하여 흐르는 전류를 비교하여 논리 "0" 또는 논리 "1"에 해당하는 신호를 입/출력 단자(I/O port)로 출력시킨다.

<15> 상기 메인 자기 저항체들(MR), 상기 제1 자기 저항체들(MR1) 및 상기 제2 자기 저항체들(MR2)은 상부전극, 하부전극 및 이들 사이에 개재된 자기 터널 접합(MTJ; magnetic tunnel junction) 구조체들을 포함한다. 상기 자기 터널 접합 구조체는 차례로 적층된 피닝막(pinning layer), 고정막(pinned layer), 터널링막(tunneling layer) 및 자유막(free layer)으로 구성된다. 상기 고정막은 상기 피닝막 및 어닐링 공정에 의해 일 방향을 향하여 배열된 고정된 자기 스핀들(fixed magnetic spins)을 갖는다. 따라서, 상기 자유막의 자화 방향(magnetization direction)에 따라서 상기 자기 저항체들(MR, MR1, MR2)은 최소 저항값(minimum resistance) 또는 최대 저항값(maximum resistance)을 보인다. 여기서, 상기 제1 및 제2 자기 저항체들(MR1, MR2)은 각각 쓰기 동작(writing operation)을 통하여 상기 최소 저항값 및 상기 최대 저항값을 갖도록 프로그램되거나 그와 반대로 프로그램된다.

<16> 한편, 상기 자기 저항체들(MR, MR1, MR2)의 저항값들은 도 2에 보여진 바와 같이 전압에 의존하는 특성을 갖는다. 다시 말해서, 상기 자기 저항체의 양 단에 인가되는 전압이 증가하면, 상기 자기 저항체의 저항값은 감소하는 경향을 보인다. 도 2에서, 곡선 (1)은 상기 최소 저항값을 갖는 자기 저항체(MR, MR1 또는 MR2)의 저항 특성을 나타내고, 곡선(2)는 상기 최대 저항값을 갖는 자기 저항체(MR, MR1 또는 MR2)의 저항 특성을 나타낸다. 설명의 편의를 도모하기 위하여, 상기 제1 및 제2 자기 저항체들(MR1, MR2)이 각각 상기 최소 저항값 및 상기 최대 저항값을 갖도록 프로그램된 것으로 가정한다. 이

경우에, 상기 곡선(1)은 상기 제1 자기 저항체(MR1)의 저항 특성에 해당하고, 상기 곡선(2)는 상기 제2 자기 저항체(MR2)의 저항 특성에 해당한다.

<17> 한편, 읽기 모드에서 상기 메인 비트라인들중 선택된 비트라인 및 상기 기준 비트라인(BLr)에 기준전압(V_{ref})을 인가하고 상기 워드라인들중 선택된 워드라인에 전원전압(V_{cc})을 인가하면, 상기 선택된 메인 비트라인 및 상기 선택된 워드라인에 접속된 메인 셀의 메인 자기 저항체(MR)에 상기 기준 전압(V_{ref})이 인가된다.

<18> 상기 선택된 메인 자기 저항체(MR)가 상기 최대 저항값을 갖도록 자화된 경우에, 상기 선택된 메인 자기 저항체(MR)의 동작점(operating point)은 그에 인가된 전압에 따라 상기 곡선(2) 상에서 이동한다. 결과적으로, 상기 선택된 메인 자기 저항체(MR)는 도 2에 도시된 바와 같이 제1 최대 저항값(R_{m1})을 갖는다. 이와는 달리, 상기 선택된 메인 자기 저항체(MR)가 상기 최소 저항값을 갖도록 자화된 경우에, 상기 선택된 메인 자기 저항체(MR)의 동작점(operating point)은 그에 인가된 전압에 따라 상기 곡선(1) 상에서 이동한다. 결과적으로, 상기 선택된 메인 자기 저항체(MR)는 도 2에 도시된 바와 같이 제1 최소 저항값(R_{n1})을 갖는다. 따라서, 상기 기준 셀(Cr)의 등가저항이 상기 제1 최소 저항값(R_{n1}) 및 상기 제1 최대 저항값(R_{m1}) 사이의 중간값, 즉 제1 중간값(first mid-value; R_{r1})인 경우에, 상기 감지 증폭기(SA)의 감지 여유도는 극대화된다.

<19> 그러나, 상기 제1 및 제2 자기 저항체들(MR1, MR2)에는 상기 제1 및 제2 자기 저항체들(MR1, MR2)의 저항값들에 비례하여 각각 제1 기준 전압(V_{r1}) 및 상기 제1 기준 전압(V_{r1})보다 높은 제2 기준 전압(V_{r2})이 인가된다. 상기 제1 및 제2 기준전압들(V_{r1} , V_{r2})의 합은 상기 기준전압(V_{ref})과 동일하다. 이에 더하여, 상기 제1 및 제2 자기 저항체들(MR1, MR2)은 각각 상술한 바와 같이 상기 최소 저항값 및 상기 최대 저항값을 가지

므로, 상기 제1 및 제2 자기 저항체들(MR1, MR2)의 동작점들은 각각 상기 곡선(1) 및 상기 곡선(2) 상에서 이동한다. 결과적으로, 상기 제1 자기 저항체들(MR1)의 실제 저항값은 상기 제1 최소저항값(R_{n1})보다 큰 제2 최소 저항값(R_{n2})을 갖고, 상기 제2 자기 저항체들(MR2)의 실제 저항값은 상기 제1 최대저항값(R_{m1})보다 큰 제2 최대저항값(R_{m2})을 갖는다. 따라서, 상기 기준 셀(C_r)의 실제 저항값은 상기 제2 최소 저항값(R_{n2}) 및 상기 제2 최대 저항값(R_{m2}) 사이의 중간값, 즉 제2 중간값(R_{r2})을 보이고, 상기 제2 중간값(R_{r2})은 상기 제1 중간값(R_{r1})보다 크다. 이에 따라, 상기 선택된 메인 셀의 자기 저항체(MR)가 논리 "1"에 해당하는 데이터, 즉 상기 제1 최대저항값(R_{m1})을 갖는 경우에, 상기 감지 증폭기(SA)의 감지 여유도(SM)는 이상적인 경우에 비하여 현저히 감소된다.

<20> 상술한 바와 같이 종래기술에 따르면, 감지 증폭기의 감지 여유도가 현저히 감소된다. 이에 따라, 읽기 동작시 에러가 발생될 확률이 증가되어 자기 램 소자의 수율을 감소시킨다.

【발명이 이루고자 하는 기술적 과제】

<21> 본 발명이 이루고자 하는 기술적 과제는 감지증폭기의 감지 여유도를 증가시키는데 적합하고 집적도를 증가시키기에 적합한 기준 셀들을 갖는 자기 램 소자 및 그 구조체를 제공하는 데 있다.

【발명의 구성 및 작용】

<22> 상기 기술적 과제를 이루기 위하여 본 발명은 메인 셀 영역 및 상기 메인 셀 영역과 인접한 기준 셀 영역을 구비하는 자기 램 소자의 구조체를 제공한다. 상기 자기 램 소자의 구조체는 상기 메인 셀 영역 내에 열들 및 행들을 따라 2차원적으로 배치된 복수

개의 메인 자기 저항체들을 포함한다. 상기 메인 자기 저항체들의 각각은 평면적으로 보여질 때 제1 폭 및 제1 길이를 갖는다. 상기 기준 셀 영역 내에 복수개의 기준 자기 저항체들이 배치된다. 상기 기준 자기 저항체들은 제2 폭 및 제2 길이를 갖는다. 상기 제1 길이의 방향은 상기 제2 길이의 방향과 소정의 각도로 교차한다.

<23> 상기 제1 및 제2 길이들은 각각 상기 제1 및 제2 폭들보다 큰 것이 바람직하다. 이에 따라, 상기 메인 자기 저항체들 및 상기 기준 자기 저항체들의 각각은 평면적으로 보여질 때 직사각형 또는 타원형의 형태를 가질 수 있다. 또한, 상기 제1 폭 및 제1 길이는 각각 상기 제2 폭 및 제2 길이와 동일할 수도 있다.

<24> 상기 소정의 각도는 90° 인 것이 바람직하다. 다시 말해서, 상기 기준 자기 저항체들은 메인 자기 저항체들과 수직한 방향을 향하여 배열되는 것이 바람직하다.

<25> 상기 기준 셀 영역 내에 기준 비트라인이 추가로 배치될 수 있다. 상기 기준 비트라인은 상기 열과 평행하도록 배치된다. 또한, 상기 기준 비트라인은 상기 기준 비트라인 하부에 상기 열을 따라 1차원적으로 배열된 상기 기준 자기 저항체들의 상부면들과 전기적으로 접속된다.

<26> 이와 마찬가지로, 상기 메인 셀 영역 내에 복수개의 평행한 메인 비트라인들이 추가로 배치된다. 상기 메인 비트라인들은 상기 열들과 평행하도록 배치되는 것이 바람직하다. 상기 메인 비트라인들의 각각은 그 하부에 상기 열을 따라 1차원적으로 배열된 상기 메인 자기 저항체들의 상부면들과 전기적으로 접속된다.

<27> 상기 메인 자기 저항체들 및 상기 기준 자기 저항체들의 하부에 복수개의 평행한 디지털 라인들이 추가로 배치될 수 있다. 상기 디지털 라인들은 상기 행들과 평행하도록

배치된다. 또한, 상기 디지털 라인들은 상기 메인 자기 저항체들 및 상기 기준 자기 저항체로부터 절연되는 것이 바람직하다.

<28> 더 나아가서, 상기 메인 셀 영역 내에 복수개의 메인 액세스 트랜지스터들이 형성될 수 있다. 상기 메인 액세스 트랜지스터들은 각각 상기 메인 자기 저항체들의 하부면들에 전기적으로 접속된다. 이와 마찬가지로, 상기 기준 셀 영역 내에 복수개의 기준 액세스 트랜지스터들이 형성된다. 상기 기준 액세스 트랜지스터들은 각각 상기 기준 자기 저항체들의 하부면들에 전기적으로 접속된다. 상기 액세스 트랜지스터들은 반도체기판에 형성된다.

<29> 상기 각 행들 내에 배열된 상기 메인 액세스 트랜지스터들 및 상기 기준 액세스 트랜지스터는 하나의 워드라인을 공유한다.

<30> 상기 기준 자기 저항체들 및 상기 메인 자기 저항체들의 각각은 평면적으로 보여질 때 직사각형의 형태 또는 타원형의 형태를 가질 수 있다.

<31> 상기 메인 자기 저항체들 및 상기 기준 자기 저항체들의 각각은 차례로 적층된 하부전극, 자기터널접합 구조체 및 상부전극을 포함할 수 있다. 상기 자기터널접합 구조체는 차례로 적층된 피닝막(pinning layer), 고정막(pinned layer), 터널링막(tunneling layer) 및 자유막(free layer)을 포함할 수 있다. 상기 피닝막은 반강자성체막(anti-ferromagnetic layer)이고, 상기 고정막 및 상기 자유막은 강자성체막이다. 또한, 상기 터널링막은 알루미늄 산화막(Al_2O_3)과 같은 절연막이다. 상기 고정막은 상기 반강자성체막에 의해 일 방향을 향하여 배열된 고정된 자기 스핀들(fixed magnetic spins)을 갖는다. 따라서, 상기 자유막 내의 자기 스핀들의 방향에 따라서 상기 자기 저항체들의 저항값이 결정된다.

<32> 일반적으로, 상기 강자성체막 내의 자기 스핀들의 배열 방향(arrangement direction)은 상기 강자성체막의 형태(shape)에 대하여 높은 의존성을 보인다. 구체적으로, 상기 자유막 내의 자기 스핀들은 상기 자유막의 길이 방향을 향하여 배열되는 경향이 있다. 따라서, 상기 기준 자기 저항체들의 고정막 내의 스핀들이 상기 기준 자기 저항체들의 폭 방향을 향하여 고정된 경우에, 기준 자기 저항체들의 상기 자유막 내의 자기 스핀들을 상기 고정막 내의 고정된 자기 스핀들과 수직한 방향으로 배열시키는 것은 용이하다. 이 경우에, 상기 기준 자기 저항체들의 저항값들은 그들의 최소 저항값 및 최대 저항값 사이의 중간값을 보인다.

<33> 상기 기술적 과제를 이루기 위하여 본 발명은 또한 자기 램 소자를 제공한다. 이 자기 램 소자는 메인 셀 어레이 부(main cell array portion) 및 기준 셀 어레이 부(reference cell array portion)를 갖는 셀 어레이 부를 포함한다. 상기 기준 셀 어레이 부는 기준 비트라인을 포함한다. 상기 기준 비트라인에 복수개의 기준 셀들이 병렬 접속된다. 상기 기준 셀들의 각각은 직렬 연결된 하나의 기준 액세스 트랜지스터(a single reference access transistor) 및 하나의 기준 자기 저항체(a single reference magnetic resistor)로 구성된다. 상기 기준 자기 저항체들의 각각은 제1 단자 및 제2 단자를 갖는다. 상기 기준 자기 저항체들의 제1 단자들은 상기 기준 비트라인에 전기적으로 접속되고, 상기 기준 자기 저항체들의 제2 단자들은 각각 상기 기준 액세스 트랜지스터들의 드레인 영역들에 전기적으로 접속된다. 상기 기준 비트라인은 감지 증폭기의 제1 입력단자에 전기적으로 접속된다.

<34> 상기 기준 액세스 트랜지스터들의 게이트 전극들에 각각 복수개의 워드라인들이 전기적으로 접속된다. 상기 워드라인들은 상기 메인 셀 어레이 부내로 연장된다.

- <35> 상기 메인 셀 어레이 부는 복수개의 메인 비트라인들을 포함한다. 상기 메인 비트라인들은 상기 감지 증폭기의 제2 입력단자에 전기적으로 접속된다. 따라서, 상기 감지 증폭기는 읽기 모드에서 상기 메인 비트라인들중 선택된 하나의 메인 비트라인을 통하여 흐르는 메인 셀 전류를 상기 기준 비트라인을 통하여 흐르는 기준 셀 전류와 비교하여 논리 "0" 또는 논리 "1"에 해당하는 신호를 입출력 단자로 출력시킨다.
- <36> 상기 메인 비트라인들의 각각에 복수개의 메인 셀들이 병렬 접속된다. 상기 메인 셀들의 각각은 직렬 연결된 하나의 메인 액세스 트랜지스터 및 하나의 메인 자기 저항체로 구성된다. 상기 메인 자기 저항체들의 각각 역시 제1 단자 및 제2 단자를 갖는다. 상기 메인 자기 저항체들의 제1 단자들은 상기 메인 비트라인들에 전기적으로 접속되고, 상기 메인 자기 저항체들의 제2 단자들은 각각 상기 메인 액세스 트랜지스터들의 드레인 영역들에 전기적으로 접속된다. 또한, 상기 메인 액세스 트랜지스터들의 게이트 전극들은 각각 상기 워드라인들에 전기적으로 접속된다. 결과적으로, 상기 워드라인들의 각각은 복수개의 메인 셀들 및 하나의 기준 셀에 전기적으로 접속된다.
- <37> 상기 기준 자기 저항체들의 각각은 상기 메인 자기 저항체들의 최대 저항값 및 최소 저항값 사이의 중간값에 해당하는 고정된 기준 저항값(fixed reference resistance)을 갖는 것이 바람직하다.
- <38> 상기 메인 액세스 트랜지스터들의 소오스 영역들 및 상기 기준 액세스 트랜지스터들의 소오스 영역들은 공통 소오스 라인에 전기적으로 접속된다. 이에 더하여, 상기 메인 셀 어레이 부는 복수개의 디지털 라인들을 포함한다. 상기 디지털 라인들은 상기 기준 셀 어레이 부 내로 연장된다.

- <39> 상술한 바와 같이 본 발명에 따르면, 이상적인 기준 셀들을 구현하는 것이 가능하다.
- <40> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 예를 들면, 본 발명의 실시예들에서 소개되는 활성영역들은 디램 소자의 셀 어레이 영역 내에 형성되는 활성영역들과 동일한 배열을 가질 수 있다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 층이 다른 층 또는 기판 "상"에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.
- <41> 도 3은 본 발명의 일 실시예에 따른 자기 램 소자 구조체의 셀 어레이 영역의 일 부분을 보여주는 평면도이다.
- <42> 도 3을 참조하면, 상기 셀 어레이 영역은 반도체기판에 행들(rows) 및 열들(columns)을 따라 2차원적으로 배열된 복수개의 활성영역들(13a)을 포함한다. 상기 행들은 x축에 평행하고 상기 열들은 y축에 평행하다. 또한, 상기 셀 어레이 영역은 기준 셀 영역(B) 및 상기 기준 셀 영역(B)의 양 옆에 각각 위치한 제1 및 제2 메인 셀 영역들(A1, A2)을 포함한다. 상기 기준 셀 영역(B) 내의 상기 활성영역들(13a)은 상기 열들(columns)을 따라 1차원적으로 배열되고, 상기 제1 및 제2 메인 셀 영역들(A1, A2) 내의 상기 활성영역들(13a)은 상기 행들(rows) 및 열들(columns)을 따라 2차원적으로 배열된

다. 상기 기준 셀 영역(B) 및 상기 메인 셀 영역들(A1, A2) 내의 상기 활성영역들(13a)은 모두 상기 열들(y축)에 평행하도록 배열된다.

<43> 상기 활성영역들(13a)을 가로질러 복수개의 워드라인들(15)이 배치된다. 구체적으로, 상기 각 활성영역들(13a)의 상부에 한 쌍의 워드라인들(15)이 배치된다. 상기 워드라인들(15)은 상기 x축에 평행하도록 배치된다. 상기 한 쌍의 워드라인들(15) 사이의 상기 활성영역(13a)에 공통 소오스 영역이 형성되고, 상기 활성영역(13a)의 양 끝단들에 드레인 영역들이 형성된다. 결과적으로, 상기 각 활성영역들(13a)에 한 쌍의 액세스 트랜지스터들이 형성된다. 상기 한 쌍의 워드라인들(15) 사이에 공통 소오스 라인(21b)이 배치된다. 상기 공통 소오스 라인(21b)은 상기 공통 소오스 영역들을 노출시키는 공통 소오스 라인 콘택홀들(20)을 통하여 상기 공통 소오스 영역들과 전기적으로 접속된다. 또한, 상기 공통 소오스 라인(21b)의 양 옆에 각각 한 쌍의 디지트 라인들(21a)이 배치된다. 상기 각 디지트 라인들(21a)은 상기 각 행들 내에 배열된 상기 드레인 영역들의 상부에 위치하는 개구부들(21')을 갖는다.

<44> 상기 디지트 라인들(21a) 및 상기 공통 소오스 라인(21b)을 갖는 반도체기판 상에 복수개의 자기 저항체들(magnetic resistors)이 상기 행들 및 열들을 따라 2차원적으로 배열된다. 상기 각 자기 저항체들은 상기 각 드레인 영역들의 상부에 위치한다. 상기 자기 저항체들은 상기 메인 셀 영역(A1, A2) 내에 배열된 메인 자기 저항체들(40a) 및 상기 기준 셀 영역(B) 내에 배열된 기준 자기 저항체들(40b)

을 포함한다. 결과적으로, 상기 메인 자기 저항체들(40a)은 상기 행들 및 열들을 따라 2차원적으로 배열되고, 상기 기준 자기 저항체들(40b)은 상기 행들을 따라 1차원적으로 배열된다. 상기 자기 저항체들(40a, 40b)의 하부면들은 각각 상기 드레인 영역들을 노출시키는 콘택홀들(25)을 통하여 상기 드레인 영역들에 전기적으로 접속된다. 상기 콘택홀들(25)은 상기 디지털 라인들(21a) 내의 상기 개구부들(21')의 중심부들을 관통한다. 따라서, 상기 자기 저항체들(40a, 40b)은 상기 디지털 라인들(21a)로부터 절연된다.

<45> 상기 자기 저항체들(40a, 40b)의 각각은 평면적으로 보여질 때 폭(W) 및 상기 폭(W)보다 큰 길이(L)를 갖는다. 따라서, 상기 자기 저항체들(40a, 40b)은 도 3에 보여진 바와 같이 평면적으로 보여질 때 직사각형의 형태를 갖는다. 그러나, 상기 자기 저항체들(40a, 40b)은 상기 길이(L) 및 상기 폭(W)을 갖는 타원형일 수도 있다.

<46> 상기 메인 자기 저항체들(40a)은 일 방향을 따라 서로 평행하도록 배열된다. 예를 들면, 상기 메인 자기 저항체들(40a)은 도 3에 보여진 바와 같이 상기 x축(행들)에 평행하도록 배열될 수 있다. 이에 반하여, 상기 기준 자기 저항체들(40b)은 상기 일 방향과 소정의 각도로 교차하도록 배열된다. 바람직하게는, 상기 기준 자기 저항체들(40b)은 상기 일 방향에 수직하도록 배열된다. 다시 말해서, 상기 기준 자기 저항체들(40b)은 도 3에 도시된 바와 같이 x-y 평면(x-y plane) 상에서 상기 메인 자기 저항체들(40a)에 수직인 방향과 평행하도록 배열되는 것이 바람직하다.

<47> 상기 자기 저항체들(40a, 40b)의 각각은 차례로 적층된 하부전극, 자기터널

접합 구조체 및 상부전극을 포함한다. 상기 메인 자기 저항체들(40a)은 상기 기준 자기 저항체들(40b)과 동일한 구조 및 크기(dimension)를 갖는 것이 바람직하다. 따라서, 상기 하부전극들의 각각은 상기 각 드레인 영역들과 전기적으로 접속된다. 좀 더 구체적으로, 상기 메인 자기 저항체들(40a)의 각각은 차례로 적층된 메인 하부전극, 메인 자기터널접합 구조체 및 메인 상부전극을 포함하고, 상기 기준 자기 저항체들(40b)의 각각은 차례로 적층된 기준 하부전극, 기준 자기터널접합 구조체 및 기준 상부전극을 포함한다. 상기 메인 자기터널접합 구조체들의 각각은 차례로 적층된 메인 피닝막(main pinning layer), 메인 고정막(main pinned layer), 메인 터널링막 및 메인 자유막(main free layer)를 포함하고, 상기 기준 자기터널접합 구조체들의 각각은 차례로 적층된 기준 피닝막(reference pinning layer), 기준 고정막(reference pinned layer), 기준 터널링막 및 기준 자유막(reference free layer)를 포함한다.

<48> 상기 자기 저항체들(40a, 40b)을 갖는 반도체기판 상에 복수개의 비트라인들이 배치된다. 상기 비트라인들은 상기 y축에 평행하도록 배치된다. 상기 비트라인들은 상기 메인 셀 영역들(A1, A2) 내에 배치된 메인 비트라인들(45a) 및 상기 기준 셀 영역(B) 내에 배치된 기준 비트라인(45b)을 포함한다. 상기 메인 비트라인들(45a)의 각각은 메인 비트라인 콘택홀들(43a)을 통하여 상기 각 행들 내에 배열된 상기 메인 자기 저항체들(40a)의 상부면들, 즉 상기 메인 상부전극들과 전기적으로 접속된다. 이와 마찬가지로, 상기 기준 비트라인(45b)은 기준 비트라인 콘택홀들(43b)을 통하여 상기 기준 자기 저항체들(40b)의 상부면들, 즉 상기 기준 상부전극들과 전기적으로 접속된다.

<49> 도 4 내지 도 6은 도 3의 I-I에 따라 본 발명에 따른 자기 램 소자의 제조방법을 설명하기 위한 단면도들이다.

<50> 도 3 및 도 4를 참조하면, 기준 셀 영역(B) 및 메인 셀 영역들(A1, A2)을 갖는 P형 반도체기판(11)의 소정영역에 소자분리막(13)을 형성하여 활성영역들(13a)을 한정한다. 상기 메인 셀 영역들(A1, A2)은 서로 격리된 제1 및 제2 메인 셀 영역들(A1, A2)을 포함하고, 상기 기준 셀 영역(B)은 상기 제1 및 제2 메인 셀 영역들(A1, A2) 사이의 영역에 위치한다. 이와는 달리, 상기 메인 셀 영역들(A1, A2)은 통합되어 하나의 메인 셀 영역을 구성할 수도 있다. 이 경우에, 상기 기준 셀 영역(B)은 상기 메인 셀 영역의 일 측에 배치된다.

<51> 상기 활성영역들(13a)의 표면에 게이트 절연막(도시하지 않음)을 형성한다. 상기 게이트 절연막을 갖는 반도체기판의 전면 상에 게이트 도전막을 형성한다. 상기 게이트 도전막을 패터닝하여 상기 활성영역들(13a)을 가로지르는 복수개의 워드라인들(도 3의 15)을 형성한다. 상기 워드라인들 및 상기 소자분리막(13)을 이온주입 마스크들로 사용하여 상기 활성영역들(13a)에 N형의 불순물 이온들을 주입하여 상기 각 활성영역들(13a)의 표면에 공통 소오스 영역 및 드레인 영역들(17)을 형성한다. 이에 따라, 상기 각 활성영역들(13a)에 한 쌍의 역세스 트랜지스터들이 형성된다. 상기 한 쌍의 트랜지스터들은 상기 공통 소오스 영역을 공유한다.

<52> 상기 역세스 트랜지스터들이 형성된 반도체기판의 전면 상에 제1 층간절연막(19)을 형성한다. 상기 제1 층간절연막(19)을 패터닝하여 상기 공통 소오스 영역들을 노출시키는 공통 소오스 라인 콘택홀들(도 3의 20)을 형성한다. 이어서, 상기 공통 소오스 라인 콘택홀들을 갖는 반도체기판의 전면 상에 도전막을 형성한다. 상기 도전막을 패터닝하여 상기 드레인 영역들(17)의 상부를 지나는 디지털 라인들(21a)을 형성함과 동시에 상기 공통 소오스 영역들과 전기적으로 접속된 공통 소오스 라인들(도 3의 21b)을 형성한다. 상

기 디지털 라인들(21a)은 상기 드레인 영역들(17)의 상부에 위치하는 개구부들(21')을 갖도록 형성된다.

<53> 도 3 및 도 5를 참조하면, 상기 공통 소오스 라인들 및 상기 디지털 라인들(21a)을 갖는 반도체기판의 전면 상에 제2 층간절연막(23)을 형성한다. 상기 제2 층간절연막(23) 및 상기 제1 층간절연막(19)을 연속적으로 패터닝하여 상기 개구부들(21')의 중심부를 관통하고 상기 드레인 영역들(17)을 노출시키는 콘택홀들(25)을 형성한다. 상기 콘택홀들(25) 내에 통상의 방법을 사용하여 콘택 플러그들(27)을 형성한다. 상기 콘택 플러그들(27)을 갖는 반도체기판의 전면 상에 하부전극막, 피닝막(pinning layer), 고정막(pinned layer), 터널링막, 자유막 및 상부전극막을 차례로 형성한다. 상기 하부전극막은 타이타늄막 또는 탄탈륨막으로 형성하고, 상기 피닝막은 FeMn막, IrMn막 또는 PtMn막과 같은 반강자성체막(anti-ferromagnetic layer)으로 형성한다. 또한, 상기 고정막 및 상기 자유막은 CoFe막 또는 NiFe막과 같은 강자성체막(ferromagnetic layer)으로 형성한다. 더 나아가서, 상기 터널링막은 알루미늄 산화막과 같은 절연막으로 형성하고, 상기 상부전극막은 탄탈륨막으로 형성한다.

<54> 상기 상부전극막, 자유막, 터널링막, 고정막, 피닝막 및 하부전극막을 연속적으로 패터닝하여 상기 콘택 플러그들(27)을 덮는 자기 저항체들을 형성한다. 상기 자기 저항체들은 상기 메인 셀 영역들(A1, A2) 내에 형성되는 메인 자기 저항체들(40a) 및 상기 기준 셀 영역 내에 형성되는 기준 자기 저항체들(40b)을 포함한다. 상기 메인 자기 저항체들(40a)의 각각은 차례로 적층된 메인 하부전극(29a), 메인 자기터널접합 구조체(38a) 및 메인 상부전극(39a)를 포함하고, 상기 기준 자기 저항체들(40b)의 각각은 차례로 적층된 기준 하부전극(29b), 기준 자기터널접합 구조체(38b) 및 기준 상부전극(39b)를 포

함한다. 또한, 상기 메인 자기터널접합 구조체(38a)는 차례로 적층된 메인 피닝막(31a), 메인 고정막(33a), 메인 터널링막(35a) 및 메인 자유막(37a)을 포함하고, 상기 기준 자기터널접합 구조체(38a)는 차례로 적층된 기준 피닝막(31b), 기준 고정막(33b), 기준 터널링막(35b) 및 기준 자유막(37b)을 포함한다. 결과적으로, 상기 드레인 영역들(17)은 상기 콘택 플러그들(27)을 통하여 상기 하부전극들(29a, 29b)과 전기적으로 접속된다.

<55> 상기 자기 저항체들(40a, 40b)의 각각은 폭(W) 및 상기 폭(W)보다 큰 길이(L)를 갖도록 패터닝된다. 따라서, 상기 자기 저항체들(40a, 40b)의 각각은 길이방향을 갖는다. 바람직하게는, 상기 메인 자기 저항체들(40a)은 상기 디지털 라인들(21a)과 평행하도록 형성되고 상기 기준 자기 저항체들(40b)은 상기 디지털 라인들(21b)에 수직하도록 형성된다.

<56> 상기 자기 저항체들(40a, 40b)을 갖는 반도체기판을 로(furnace) 또는 챔버 내로 로딩시킨다. 이어서, 상기 로 또는 챔버 내의 상기 반도체기판을 200℃ 내지 300℃ 정도의 온도에서 열처리한다. 상기 열처리 공정 동안 상기 로 또는 챔버의 외부에 영구자석 또는 전자석과 같은 자석을 설치하여 상기 고정막들(33a, 33b) 내의 자기 스핀들을 원하는 방향으로 배열 및 고정시킨다. 바람직하게는, 상기 메인 자기 저항체들(40a)의 길이 방향이 상기 자석의 자계방향과 평행하도록 상기 반도체기판을 로딩시킨다. 이 경우에, 도 5에 도시된 바와 같이 상기 메인 고정막들(33a) 내의 자기 스핀들 및 상기 기준 고정막들(33b) 내의 자기 스핀들은 상기 메인 자기 저항체들(40a)의 길이방향을 향하여 서로 평행하도록 배열 및 고정된다. 상기 고정된 스핀들은 상기 열처리된 반도체기판이 상기 기판 또는 챔버의 외부로 언로딩되고 상기 열처리된 반도체기판에 새로운 자계가 인가될

지라도 더 이상 회전하지 않는다. 이러한 현상은 상기 고정막들(33a, 33b)과 접촉하는 상기 피닝막들(31a, 31b)의 존재에 기인한다.

<57> 상기 열처리 공정 동안 상기 자유막들(37a, 37b) 내의 자기 스핀들 역시 상기 고정막들(33a, 33b) 내의 고정된 스핀들과 평행한 방향을 향하여 일시적으로 배열될 수 있다. 그러나, 상기 자유막들(37a, 37b) 내의 자기 스핀들은 상기 열처리 공정 후에 그들의 안정된 상태로 되돌아간다. 즉, 자유막들(37a, 37b) 내의 자기 스핀들은 자체를 동반하는 상기 열처리 공정에 의해 영구적으로 구속되지 않는다. 오히려, 상기 자유막들(37a, 37b) 내의 자기 스핀들의 배열 방향은 그들의 형태(shape)에 의존하는 경향을 보인다. 구체적으로, 상기 자유막들(37a, 37b)이 상술한 바와 같이 길이 방향을 갖는 경우에, 상기 자유막들(37a, 37b) 내의 자기 스핀들은 상기 길이 방향과 평행한 방향을 향하여 배열되는 경향을 보인다. 따라서, 상기 메인 자유막들(37a) 내의 자기 스핀들 및 상기 기준 자유막들(37b) 내의 자기 스핀들은 도 5에 도시된 바와 같이 상기 열처리 공정 후에 그들의 길이 방향과 평행한 방향을 향하여 배열될 수 있다. 결과적으로, 상기 각 메인 자유막들(37a) 내의 자기 스핀들은 상기 고정된 스핀들과 평행하거나 반평행(anti-parallel)하도록 배열되는 데 반하여, 상기 각 기준 자유막들(37b) 내의 자기 스핀들은 상기 고정된 스핀들과 직교하는 방향을 향하여 배열된다. 따라서, 상기 기준 자기 저항체들(40b)의 구조가 상기 메인 자기 저항체들(40a)의 구조와 동일한 경우에, 상기 각 기준 자기 저항체들(40b)은 별도의 쓰기 동작 없이도 항상 상기 메인 자기 저항체들(40a)의 최대저항값 및 최소저항값 사이의 저항값을 갖는다.

<58> 예를 들면, 차례로 적층된 하부 강유전체막, 터널 절연막 및 상부 강유전체막으로 구성된 자기 저항체의 전기적인 전도도(G)는 "Phys. Rev. B 39, 6995(1989)"라는 잡지

(journal)에 제이. 씨. 슬론체프스키(J. C. Slonczewski)에 의해 보고된 논문(article)에 기재된 바와 같이 다음과 같은 수학적식(equation)에 의해 표현될 수 있다.

<59>

$$G(\Theta) = G\left(\frac{\Pi}{2}\right) [1 + P_1 P_2 \cos(\Theta)]$$

【수학식 1】

<60>

여기서, Θ 는 상기 하부 강유전체막 내의 스핀들 및 상기 상부 강유전체막 내의 스핀들 사이의 각도를 나타내고, P_1 및 P_2 는 각각 상기 하부 강유전체막 및 상부 강유전체막의 분극값들(polarization values)을 나타낸다.

<61>

상기 수학적식으로부터 알 수 있듯이, 상기 자기 저항체의 전도도는 상기 각도(Θ)에 전적으로 의존한다. 따라서, 상기 각도(Θ)가 0° 인 경우에 상기 자기 저항체는 최대 저항값(R_{\max})을 보이고, 상기 각도(Θ)가 180° 인 경우에 상기 자기 저항체는 최소 저항값(R_{\min})을 보인다. 또한, 상기 각도(Θ)가 90° 인 경우에는 상기 자기 저항체는 상기 최대 저항값(R_{\max}) 및 상기 최소 저항값(R_{\min})의 중간값을 보인다.

<62>

결과적으로, 상기 기준 자기 저항체들(40b)이 상기 메인 자기 저항체들(40a)과 수직하도록 배열되고 상기 기준 고정막들(33b) 내의 자기 스핀들이 외부의 자계를 동반하는 열처리 공정을 통하여 상기 기준 자기 저항체들(40b)의 폭 방향(예를 들면, 도 3의 x축 방향)과 평행하도록 배열 및 고정되는 경우에, 상기 기준 자기 저항체들(40b)은 상기 열처리 공정 이후에 항상 상기 기준 자기 저항체들(40b), 즉 상기 메인 자기 저항체들(40a)의 최대저항값 및 최소 저항값 사이의 중간값을 갖는다.

<63>

도 3 및 도 6을 참조하면, 상기 자기 저항체들(40a, 40b)을 갖는 반도체기판의 전면 상에 제3 층간절연막(41)을 형성한다. 상기 제3 층간절연막(41)을 패터닝하여 상기

메인 상부전극들(39a) 및 상기 기준 상부전극들(39b)을 각각 노출시키는 메인 비트라인 콘택홀들(43a) 및 기준 비트라인 콘택홀들(43b)을 형성한다. 상기 비트라인 콘택홀들(43a, 43b)을 갖는 반도체기판의 전면 상에 금속막과 같은 도전막을 형성한다. 상기 도전막을 패터닝하여 상기 디지털 라인들(21a)의 상부를 가로지르는 복수개의 메인 비트라인들(45a) 및 기준 비트라인(45b)을 형성한다. 상기 메인 비트라인들(45a)은 상기 메인 셀 영역들(A1, A2) 내에 형성되고, 상기 기준 비트라인(45b)은 상기 기준 셀 영역(B) 내에 형성된다. 결과적으로, 상기 메인 비트라인들(45a)의 각각은 도 3의 y축에 평행한 열을 따라 배열된 복수개의 메인 상부전극들(39a)과 상기 메인 비트라인 콘택홀들(43a)을 통하여 전기적으로 접속되고, 상기 기준 비트라인(45b)은 상기 기준 셀 영역(B) 내에 1차원적으로 배열된 상기 기준 상부전극들(39b)과 상기 기준 비트라인 콘택홀들(43b)을 통하여 전기적으로 접속된다.

<64> 상술한 방법을 사용하여 제조된 자기 램 셀들중 선택된 어느 하나의 메인 셀에 데이터를 쓰는 방법은 상기 선택된 메인 셀에 접속된 상기 디지털 라인(21a) 및 메인 비트라인(43a)에 적절한 전류를 가함으로써 이루어진다. 이 경우에, 도 6에 보여진 바와 같이 상기 선택된 메인 자유막(37a) 내의 자기 스핀들은 상기 고정된 스핀들과 평행하거나 반평행하도록 용이하게 배열될 수 있다. 그러나, 상기 기준 자유막들(37b) 내의 자기 스핀들은 상기 쓰기 동작 이후에 항상 상기 고정된 스핀들에 대하여 수직한 방향을 향하여 배열된다.

<65> 도 7은 도 3의 자기 램 소자 구조체 및 이에 접속된 감지 증폭기를 보여주는 등가 회로도이다.

<66> 도 7에 보여진 바와 같이, 본 발명에 따른 자기 램 소자는 메인 셀 어레이 부 및 기준 셀 어레이 부(B)를 갖는 셀 어레이 부를 포함한다. 상기 메인 셀 어레이 부는 서로 격리된 제1 및 제2 메인 셀 어레이 부들(A1, A2)로 구성될 수 있다. 이 경우에, 상기 기준 셀 어레이 부(B)는 상기 제1 및 제2 메인 셀 어레이 부들(A1, A2) 사이에 위치하는 것이 바람직하다.

<67> 상기 기준 셀 어레이 부(B)는 기준 비트라인(45b)을 포함한다. 상기 기준 비트라인(45b)에 복수개의 기준 셀들(Cref)이 병렬 접속된다. 상기 기준 셀들(Cref)의 각각은 직렬 연결된 하나의 기준 액세스 트랜지스터(a single reference access transistor; Tr) 및 하나의 기준 자기 저항체(a single reference magnetic resistor; 40b)로 구성된다. 상기 기준 자기 저항체들(40b)의 각각은 제1 단자 및 제2 단자를 갖는다. 상기 기준 자기 저항체들(40b)의 제1 단자들은 상기 기준 비트라인(45b)에 전기적으로 접속되고, 상기 기준 자기 저항체들(40b)의 제2 단자들은 각각 상기 기준 액세스 트랜지스터들(Tr)의 드레인 영역들에 전기적으로 접속된다. 상기 기준 비트라인(45b)은 감지 증폭기(SA)의 제1 입력단자에 전기적으로 접속된다.

<68> 상기 기준 액세스 트랜지스터들의 게이트 전극들에 각각 복수개의 워드라인들(15)이 전기적으로 접속된다. 상기 워드라인들(15)은 상기 제1 및 제2 메인 셀 어레이 부들(A1, A2) 내로 연장된다.

<69> 상기 메인 셀 어레이 부(A1, A2)는 복수개의 메인 비트라인들(45a)을 포함한다. 상기 메인 비트라인들(45a)은 상기 감지 증폭기(SA)의 제2 입력단자에 전기적으로 접속된다. 따라서, 상기 감지 증폭기(SA)는 읽기 모드에서 상기 메인 비트라인들(45a)중 선택된 하나의 메인 비트라인(45a)을 통하여 흐르는 메인 셀 전류를 상기 기준 비트라인

(45b)을 통하여 흐르는 기준 셀 전류와 비교하여 논리 "0" 또는 논리 "1"에 해당하는 신호를 입출력 단자(I/O port)로 출력시킨다.

<70> 상기 메인 비트라인들(45a)의 각각에 복수개의 메인 셀들(C_m)이 병렬 접속된다. 상기 메인 셀들(C_m)의 각각은 직렬 연결된 하나의 메인 액세스 트랜지스터(T_m) 및 하나의 메인 자기 저항체(40a)로 구성된다. 상기 메인 자기 저항체들(40a)의 각각 역시 제1 단자 및 제2 단자를 갖는다. 상기 메인 자기 저항체들(40a)의 제1 단자들은 상기 메인 비트라인들(45a)에 전기적으로 접속되고, 상기 메인 자기 저항체들(40a)의 제2 단자들은 각각 상기 메인 액세스 트랜지스터들(T_m)의 드레인 영역들에 전기적으로 접속된다. 또한, 상기 메인 액세스 트랜지스터들(T_m)의 게이트 전극들은 각각 상기 워드라인들(15)에 전기적으로 접속된다. 결과적으로, 상기 워드라인들(15)의 각각은 복수개의 메인 셀들(C_m) 및 하나의 기준 셀(C_{ref})에 전기적으로 접속된다.

<71> 상기 메인 액세스 트랜지스터들의 소오스 영역들 및 상기 기준 액세스 트랜지스터들의 소오스 영역들은 공통 소오스 라인(21b)에 전기적으로 접속된다. 이에 더하여, 상기 메인 셀 어레이 부는 복수개의 디지털 라인들(21a)을 포함한다. 상기 디지털 라인들(21a)은 상기 기준 셀 어레이 부(B) 내로 연장된다.

<72> 상기 기준 자기 저항체들(40b)의 각각은 상기 메인 자기 저항체들(40a)의 최대 저항값 및 최소 저항값 사이의 중간값에 해당하는 고정된 기준 저항값(fixed reference resistance)을 갖는 것이 바람직하다.

<73> 상기 복수개의 메인 셀들(C_m)중 어느 하나에 원하는 정보를 저장하기 위한 쓰기 동작은 상기 디지털 라인들(21a)중 선택된 어느 하나와 상기 메인 비트라인들(45a)중 선택된 어느 하나에 적절한 전류를 가함으로써 이루어진다. 이

경우에, 상기 선택된 디지털 라인(21a) 및 상기 선택된 메인 비트라인(45a)에 접속된 하나의 메인 셀(C_m)이 선택된다. 결과적으로, 상기 선택된 메인 셀(C_m)의 메인 자기 저항체(40a)는 그 것의 최대 저항값 또는 최소 저항값을 갖도록 자화된다.

<74> 계속해서, 읽기 동작은 상기 공통 소오스 라인(21b)에 접지전압을 인가하고, 상기 메인 비트라인들(45a)중 선택된 어느 하나와 상기 기준 비트라인(45b)에 기준 전압(V_{ref})을 인가하고, 상기 워드라인들(15)중 선택된 어느 하나에 전원전압(V_{cc})을 인가함으로써 이루어진다. 이 경우에, 상기 선택된 메인 비트라인(45a) 및 상기 선택된 워드라인(15)에 접속된 하나의 메인 셀(C_m)이 선택된다. 즉, 상기 선택된 메인 셀(C_m)의 메인 액세스 트랜지스터(T_m)가 턴온되어 상기 선택된 메인 비트라인(45a)을 통하여 메인 셀 전류가 흐른다. 상기 메인 셀 전류의 양은 상기 선택된 메인 셀(C_m)의 메인 자기 저항체(40a)의 저항값에 따라 결정된다. 다시 말해서, 상기 선택된 메인 자기 저항체(40a)가 최대 저항값을 가지면, 상기 메인 셀 전류는 최소 전류값(minimum current value)을 보인다. 이에 반하여, 상기 선택된 메인 자기 저항체(40a)가 최소 저항값을 가지면, 상기 메인 셀 전류는 최대 전류값(maximum current value)을 보인다.

<75> 상기 읽기 동작 중에, 상기 선택된 워드라인(15)에 접속된 기준 셀(C_{ref}) 역시 선택된다. 즉, 상기 선택된 기준 셀(C_{ref})의 기준 액세스 트랜지스터(T_r)가 턴온되어 상기 기준 비트라인(45b)을 통하여 기준 셀 전류가 흐른다. 상기 기준 셀들(C_{ref})의 기준 자기 저항체들(40b)은 항상 상기 메인 자기 저항체들(40a)의 최대 저항값 및 최소 저항값 사이의 중간값에 해당하는 저항값을 갖는 것이 가장 바람직하다. 이 경우에, 상기 기준 셀 전류는 항상 상기 최대 전류값 및 최소 전류값 사이의 중간값을 보인다. 따라서, 상기 읽기 모드에서 상기 감지 증폭기(SA)의 감지 여유도를 극대화시킬 수 있다.

<76> 결과적으로, 상기 단일 기준 셀(unit reference cell; Cref)은 메인 셀(Cm)처럼 하나의 기준 액세스 트랜지스터 및 하나의 기준 자기 저항체로 구성된다. 따라서, 본 발명은 2개의 액세스 트랜지스터들 및 4개의 자기 저항체들로 이루어진 단일 기준 셀을 갖는 종래의 기술에 비하여 콤팩트한 셀 어레이 부를 구현할 수 있다.

【발명의 효과】

<77> 상술한 바와 같이 본 발명에 따르면, 읽기 동작시 메인 셀의 최대 저항값 및 최소 저항값 사이의 중간값을 보이는 기준 셀을 구현할 수 있다. 이에 따라, 메인 셀에 저장된 데이터의 감지 여유도를 향상시킬 수 있다. 이에 더하여, 하나의 행마다 하나의 기준 셀이 배치되고 상기 하나의 기준 셀은 하나의 자기 저항체 및 하나의 액세스 트랜지스터로 구성된다. 따라서, 종래기술에 비하여 높은 집적도를 갖는 자기 램 소자를 구현할 수 있다.

【특허청구범위】**【청구항 1】**

메인 셀 영역 및 상기 메인 셀 영역과 인접한 기준 셀 영역을 구비하는 자기 램 소자 구조체(magnetic RAM device structure)에 있어서,

상기 메인 셀 영역 내에 행들 및 열들을 따라 2차원적으로 배치되고 그들의 각각은 평면적으로 보여질 때 제1 폭 및 제1 길이를 갖는 복수개의 메인 자기 저항체들; 및

상기 기준 셀 영역 내에 상기 열들과 평행한 방향을 따라 1차원적으로 배치된 기준 자기 저항체들을 포함하되, 상기 기준 자기 저항체들의 각각은 평면적으로 보여질 때 제2 폭 및 제2 길이를 갖고, 상기 제1 길이의 방향은 상기 제2 길이의 방향과 소정의 각도로 교차하는 것을 특징으로 하는 자기 램 소자 구조체.

【청구항 2】

제 1 항에 있어서,

상기 제1 및 제2 길이들은 각각 상기 제1 및 제2 폭들보다 크고, 상기 메인 자기 저항체들 및 상기 기준 자기 저항체들의 각각은 평면적으로 보여질 때 직사각형 또는 타원형인 것을 특징으로 하는 자기 램 소자 구조체.

【청구항 3】

제 1 항에 있어서,

상기 메인 자기 저항체들의 각각은 차례로 적층된 메인 하부전극, 메인 자기터널접합 구조체 및 메인 상부전극을 포함하고, 상기 기준 자기 저항체들의 각각은 차례로 적

충된 기준 하부전극, 기준 자기터널접합 구조체 및 기준 상부전극을 포함하는 것을 특징으로 하는 자기 램 소자 구조체.

【청구항 4】

제 3 항에 있어서,

상기 메인 자기터널접합 구조체는 차례로 적층된 메인 피닝막, 메인 고정막, 메인 터널링막 및 메인 자유막을 포함하고, 상기 기준 자기터널접합 구조체는 차례로 적층된 기준 피닝막, 기준 고정막, 기준 터널링막 및 기준 자유막을 포함하는 것을 특징으로 하는 자기 램 소자 구조체.

【청구항 5】

제 1 항에 있어서,

상기 소정의 각도는 90° 인 것을 특징으로 하는 자기 램 소자 구조체.

【청구항 6】

제 1 항에 있어서,

상기 기준 셀 영역 내에 배치된 기준 비트라인을 더 포함하되, 상기 기준 비트라인은 상기 열과 평행하도록 배치되고, 상기 기준 비트라인은 상기 기준 비트라인 하부에 상기 열들과 평행한 방향을 따라 1차원적으로 배열된 상기 기준 자기 저항체들의 상부면들과 전기적으로 접속된 것을 특징으로 하는 자기 램 소자 구조체.

【청구항 7】

제 1 항에 있어서,

상기 메인 셀 영역 내에 배치된 복수개의 평행한 메인 비트라인들을 더 포함하되, 상기 메인 비트라인들은 상기 열들과 평행하도록 배치되고, 상기 메인 비트라인들의 각각은 그 하부에 상기 열들과 평행한 방향을 따라 1차원적으로 배열된 상기 메인 자기 저항체들의 상부면들과 전기적으로 접속된 것을 특징으로 하는 자기 램 소자 구조체.

【청구항 8】

제 1 항에 있어서,

상기 메인 자기 저항체들 및 상기 기준 자기 저항체들의 하부에 배치된 복수개의 평행한 디지털 라인들을 더 포함하되, 상기 디지털 라인들은 상기 행들과 평행하도록 배치되고 상기 메인 자기 저항체들 및 상기 기준 자기 저항체로부터 절연되는 것을 특징으로 하는 자기 램 소자 구조체.

【청구항 9】

제 1 항에 있어서,

상기 메인 셀 영역 내에 형성되고 상기 메인 자기 저항체들의 하부면들에 각각 전기적으로 접속된 복수개의 메인 액세스 트랜지스터들; 및

상기 기준 셀 영역 내에 형성되고 상기 기준 자기 저항체들의 하부면들에 각각 전기적으로 접속된 복수개의 기준 액세스 트랜지스터들을 더 포함하되, 상기 액세스 트랜지스터들은 반도체기판에 형성되는 것을 특징으로 하는 자기 램 소자 구조체.

【청구항 10】

제 9 항에 있어서,

상기 각 행들 내에 배열된 상기 메인 액세스 트랜지스터들 및 상기 기준 액세스 트랜지스터는 하나의 워드라인을 공유하는 것을 특징으로 하는 자기 램 소자 구조체.

【청구항 11】

반도체기판 상에 메인 셀 영역 및 기준 셀 영역을 구비하되, 상기 메인 셀 영역은 행들(rows) 및 열들(columns)을 따라 2차원적으로 배열된 복수개의 메인 셀들을 갖고, 상기 기준 셀 영역은 상기 열을 따라 1차원적으로 배열된 복수개의 기준 셀들을 갖는 자기 램 소자 구조체에 있어서,

상기 반도체기판 상에 상기 행들과 평행하도록 배열된 복수개의 디지털 라인들;

상기 메인 셀 영역 내에 상기 디지털 라인들의 상부를 가로지르도록 배치된 복수개의 메인 비트라인들;

상기 기준 셀 영역 내에 상기 디지털 라인들의 상부를 가로지르도록 배치된 하나의 기준 비트라인;

상기 메인 비트라인들 및 상기 디지털 라인들 사이에 개재되되, 평면적으로 보여질 때 폭 및 상기 폭보다 큰 길이를 갖고 일 방향을 향하여 서로 평행하도록 배열된 복수개의 메인 자기 저항체들; 및

상기 기준 비트라인 및 상기 디지털 라인들 사이에 개재된 복수개의 기준 자기 저항체들을 포함하되, 상기 각 기준 자기 저항체들은 상기 각 메인 자기 저항체들과 동일한 모양(configuration) 및 구조를 갖고 상기 일 방향과 수직하도록 배열된 것을 특징으로 하는 자기 램 소자 구조체.

【청구항 12】

제 11 항에 있어서,

상기 기준 자기 저항체들 및 상기 메인 자기 저항체들의 각각은 평면적으로 보여질 때 직사각형의 형태(rectangular shape) 또는 타원형의 형태를 갖는 것을 특징으로 하는 자기 램 소자 구조체.

【청구항 13】

제 11 항에 있어서,

상기 메인 자기 저항체들의 각각은 차례로 적층된 메인 하부전극, 메인 자기터널접합 구조체 및 메인 상부전극을 포함하고, 상기 기준 자기 저항체들의 각각은 차례로 적층된 기준 하부전극, 기준 자기터널접합 구조체 및 기준 상부전극을 포함하되, 상기 기준 비트라인은 상기 기준 상부전극들과 전기적으로 접속되는 것을 특징으로 하는 자기 램 소자 구조체.

【청구항 14】

제 13 항에 있어서,

상기 메인 자기터널접합 구조체들의 각각은 차례로 적층된 메인 피닝막(main pinning layer), 메인 고정막(main pinned layer), 메인 터널링막(main tunneling layer) 및 메인 자유막(main free layer)를 포함하고, 상기 기준 자기터널접합 구조체들의 각각은 차례로 적층된 기준 피닝막(reference pinning layer), 기준 고정막(reference pinned layer), 기준 터널링막(reference tunneling layer) 및 기준 자유막(reference free layer)를 포함하는 것을 특징으로 하는 자기 램 소자 구조체.

【청구항 15】

제 11 항에 있어서,

상기 디지털 라인들은 상기 메인 자기 저항체들 및 상기 기준 자기 저항체들로부터 절연되는 것을 특징으로 하는 자기 램 소자 구조체.

【청구항 16】

제 13 항에 있어서,

상기 메인 비트라인들의 각각은 그 하부에 배열된 상기 메인 상부전극들과 전기적으로 접속되고, 상기 기준 비트라인은 그 하부에 배열된 상기 기준 상부전극들과 전기적으로 접속되는 것을 특징으로 하는 자기 램 소자 구조체.

【청구항 17】

제 13 항에 있어서,

상기 메인 하부전극들에 각각 접속된 드레인 영역들을 갖는 메인 액세스 트랜지스터들; 및

상기 기준 하부전극들에 각각 접속된 드레인 영역들을 갖는 기준 액세스 트랜지스터들을 더 포함하는 것을 특징으로 하는 자기 램 소자 구조체.

【청구항 18】

메인 셀 어레이 부(main cell array portion) 및 기준 셀 어레이 부(reference cell array portion)를 구비하는 자기 램 소자에 있어서,

상기 기준 셀 어레이 부 내의 기준 비트라인;

상기 기준 비트라인에 병렬 연결되되, 그들의 각각은 직렬 연결된 하나의 기준 액세스 트랜지스터(a single reference access transistor) 및 하나의 기준 자기 저항체(a single reference magnetic resistor)로 구성되고, 상기 기준 자기 저항체들의 제1 단자들은 상기 기준 비트라인에 전기적으로 접속되고, 상기 기준 자기 저항체들의 제2 단자들은 각각 상기 기준 액세스 트랜지스터들의 드레인 영역들에 접속된 복수개의 기준 셀들; 및

상기 기준 비트라인에 전기적으로 접속된 제1 입력단자를 갖는 감지 증폭기를 포함하는 자기 램 소자.

【청구항 19】

제 18 항에 있어서,

상기 기준 액세스 트랜지스터들의 게이트 전극들에 각각 전기적으로 접속된 복수개의 워드라인들을 더 포함하되, 상기 워드라인들은 상기 메인 셀 어레이 부 내로 연장되는 것을 특징으로 하는 자기 램 소자.

【청구항 20】

제 19 항에 있어서,

상기 메인 셀 어레이 부 내의 복수개의 메인 비트라인들을 더 포함하되, 상기 상기 메인 비트라인들은 상기 감지 증폭기의 제2 입력단자에 전기적으로 접속된 것을 특징으로 하는 자기 램 소자.

【청구항 21】

제 20 항에 있어서,

상기 메인 비트라인들의 각각에 병렬 연결된 복수개의 메인 셀들을 더 포함하되, 그들의 각각은 직렬 연결된 하나의 메인 액세스 트랜지스터(a single main access transistor) 및 하나의 메인 자기 저항체(a single main magnetic resistor)로 구성되고, 상기 메인 자기 저항체들의 제1 단자들은 상기 메인 비트라인들에 전기적으로 접속되고, 상기 메인 자기 저항체들의 제2 단자들은 각각 상기 메인 액세스 트랜지스터들의 드레인 영역들에 접속된 것을 특징으로 하는 자기 램 소자.

【청구항 22】

제 21 항에 있어서,

상기 메인 액세스 트랜지스터들의 게이트 전극들은 각각 상기 워드라인들에 전기적으로 접속된 것을 특징으로 하는 자기 램 소자.

【청구항 23】

제 21 항에 있어서,

상기 메인 액세스 트랜지스터들의 소오스 영역들 및 상기 기준 액세스 트랜지스터들의 소오스 영역들은 공통 소오스 라인에 전기적으로 접속된 것을 특징으로 하는 자기 램 소자.

【청구항 24】

제 21 항에 있어서,

상기 메인 셀 어레이 부 내의 복수개의 디지털 라인들을 더 포함하되, 상기 디지털 라인들은 상기 기준 셀 어레이 부 내로 연장되는 것을 특징으로 하는 자기 램 소자.

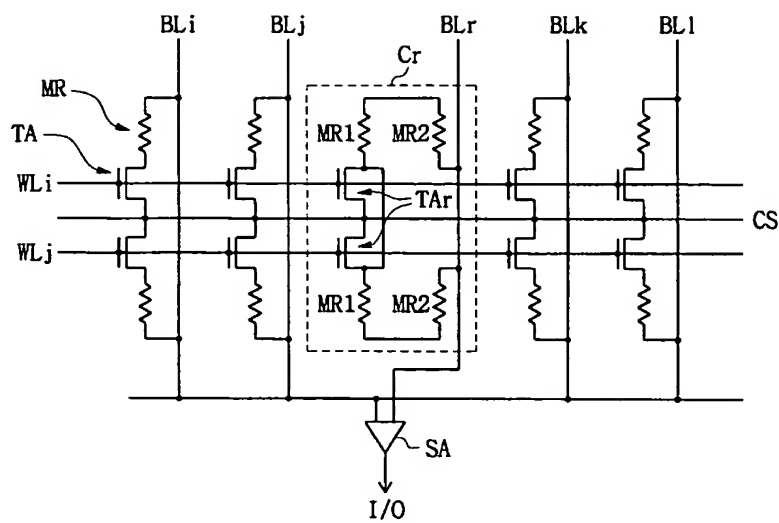
【청구항 25】

제 21 항에 있어서,

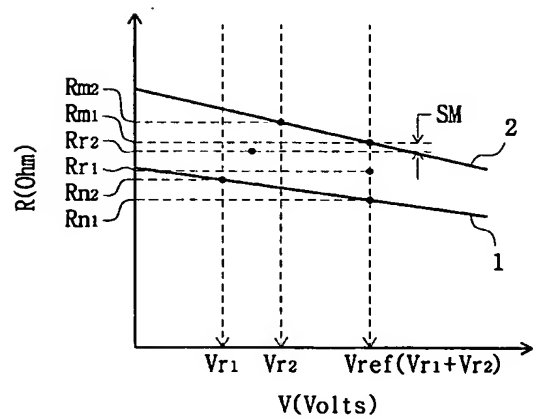
상기 기준 자기 저항체들의 각각은 상기 메인 자기 저항체들의 최대 저항값 및 최소 저항값 사이의 중간값(mid-value)에 해당하는 저항값을 갖는 것을 특징으로 하는 자기 램 소자.

【도면】

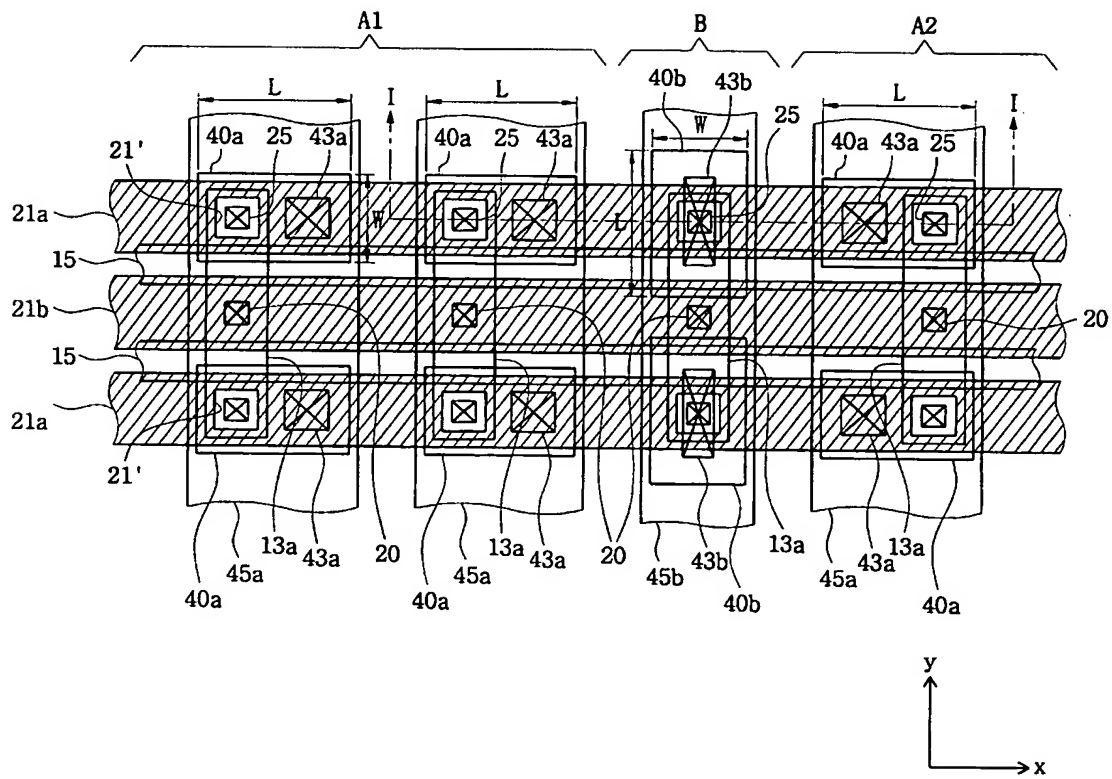
【도 1】



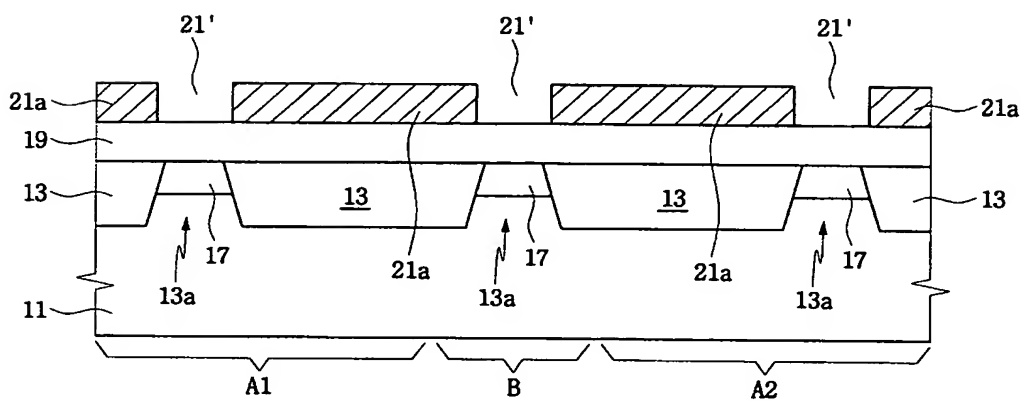
【도 2】



【도 3】

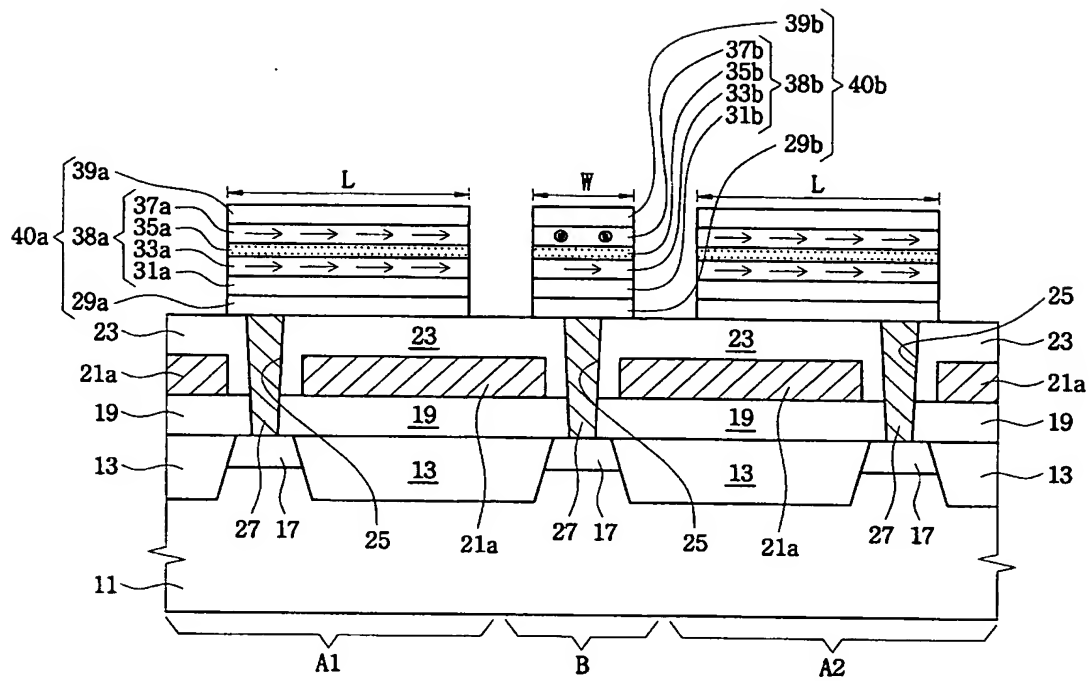


【도 4】

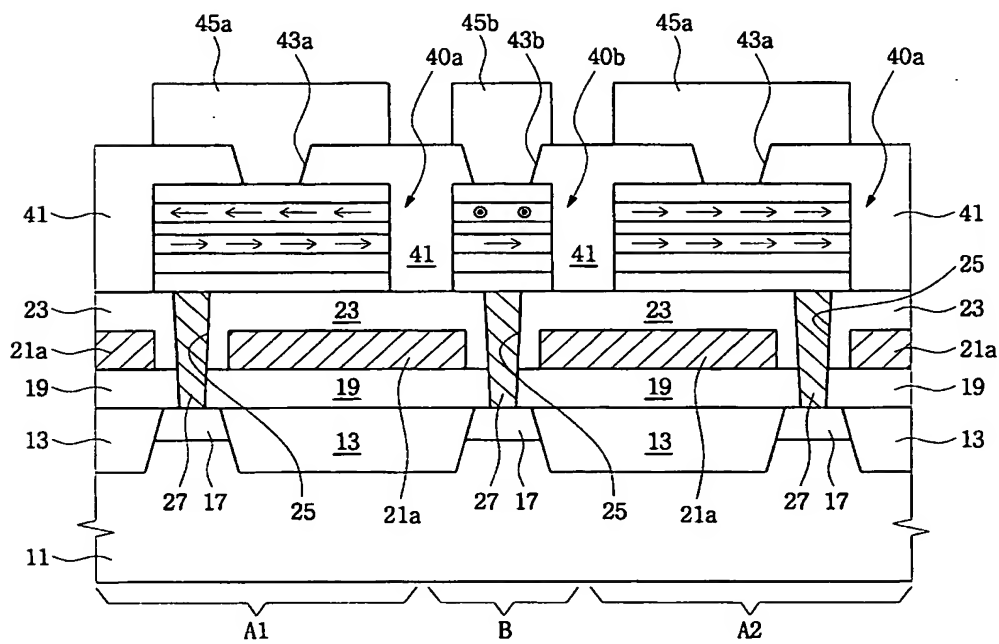




【도 5】



【도 6】



【도 7】

